

PATENT
8022-1067

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of: Tatsuya USAMI
Conf.:
Appl. No.: NEW NON-PROVISIONAL
Group:
Filed: January 28, 2004
Examiner:
Title: SEMICONDUCTOR DEVICE WITH IMPROVED
RELIABILITY AND MANUFACTURING METHOD OF
THE SAME

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

January 28, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the
priority filing date of the following application(s) for the
above-entitled U.S. application under the provisions of 35
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-019411	January 28, 2003

Certified copy(ies) of the above-noted application(s)
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041

BC/ma

745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297

Attachment(s): 1 Certified Copy(ies)

US
918

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 2 8 日
Date of Application:

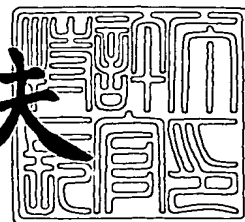
出 願 番 号 特 願 2 0 0 3 - 0 1 9 4 1 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 1 9 4 1 1]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 9 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 5 5 2 5

【書類名】 特許願

【整理番号】 74112742

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/312

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレクトロニクス株式会社内

【氏名】 宇佐美 達矢

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板を含んだ下地上に形成された層間絶縁膜の少なくとも一部に水素化ポリシロキサン膜を含み、その加工面の水素化ポリシロキサン変質層の膜厚が加工上部で加工下部よりも相対的に厚くなっていることを特徴とする半導体装置。

【請求項 2】 前記水素化ポリシロキサンが梯子型水素化ポリシロキサンまたはポーラス梯子型水素化ポリシロキサンであることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記加工面が、前記層間絶縁膜に形成された配線溝の側壁であることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記配線溝内部にバリアメタルを介して銅配線が形成されていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 半導体基板上に水素化ポリシロキサン膜を成膜する工程と、前記水素化ポリシロキサン膜をフルオロカーボンガスと酸化系ガスを含むエッチングガスで加工する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 前記酸化系ガスが O_2 、 CO 、および CO_2 のうちの少なくとも 1 つであることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記フルオロカーボンガスが CF_4 、 C_4F_8 、 C_5F_8 、 C_2F_6 、 CH_2F_2 、および CHF_3 のうちの少なくとも 1 つであることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置および半導体装置の製造方法に関し、特に低誘電率層間絶縁膜を用いた配線構造の信頼性の高い半導体装置および、その製造方法に関する。

【0002】

【従来の技術】

近年、LSIの信号処理の高速化の要求は年々増加している。LSIの信号処理速度は主にトランジスタ自体の動作速度およびは配線での信号伝播遅延時間の、小で決まってくる。従来、大きく影響を及ぼしてきたトランジスタの動作速度はトランジスタを縮小化することで向上させてきた。しかし設計ルールが0.25ミクロンよりも小さいLSIでは後者の配線の信号伝播遅延に関する影響が大きく現れ始めている。特に配線層が多層化を有するLSIデバイスにおいては、その影響は大きい。そこで、配線の信号伝播遅延を改善する方法として、従来より、用いてきたアルミ配線が銅配線に置き換わった。また従来からもちいていたシリコン酸化膜を低誘電率層間絶縁膜に置き換える検討がされている。

【0003】

その低誘電率膜は、大きく2つに分類すると、Si-Oベース材料と、有機樹脂ベースの材料に分類される。Si-Oベース材料では、Si-O骨格に有機基であるメチル基が結合されたメチルポリシロキサン膜やMSQ (Methyl Silsesquioxane) 膜、Si-O骨格に水素基が結合された水素化ポリシロキサン膜が代表的である。有機樹脂ベース材料では、相対的にSi-Oベース材料より、機械的強度が相対的に低いため、多層配線化のインテグレーションがより困難である。また、相対的に電界耐圧が無いため、高い信頼性が得られない。このため、現在では有機樹脂ベース材料を用いて最先端の多層配線デバイスを実現することは困難である。

【0004】

ここで、従来の技術として、比較的、機械的強度と信頼性に優れたSi-Oベース材料の1つであるMSQ膜を使用した例を示す。図4に示すように、トランジスタ等が形成された半導体基板の下層絶縁膜101上にバリア絶縁膜である第1のSiCN膜102が形成されている。その上にオルガノポリシロキサン膜の1種であるMSQ膜113が形成されている。その上にSiO₂膜104が形成されている。その配線溝加工面にはMSQ変質層115が形成されている。このMSQ変質層115は、配線溝をエッチング後のアッシング時に酸素プラズマにより形成されることが知られている。(例えば特許文献1参照) このMSQ変

質層は配線溝側壁の上部と下部で厚みがほぼ同等であるという特徴がある。

【0005】

配線溝側壁のMSQ変質層115に接して、バリアメタルとしてTa₂N膜106が形成されている。その内側にはTa膜107が形成されている。さらにその内側にCu膜108が形成されている。その配線の上にバリア絶縁膜である第2のSiCN膜109が形成されている。ここでは、溝配線のみを図示したが、その上にビアさらにその上に第2の配線を形成し、さらにこれを繰り返すことにより多層配線を形成できる。ここで配線溝の形状はメタルの埋設等の観点より形状的に順テーパ状になり、配線上面において配線間の距離が狭くなっているため電界が集中しやすいようになってしまう。

【0006】

また、MSQ変質層の確認方法は断面を割った後、バッファードHF溶液に数秒のみ曝すことで容易に確認できる。MSQの変質層はMSQよりも炭素が少なくSiO₂に近い組成となり、バッファードHF溶液のエッチングレートが早くなる（炭素が多い膜はエッチングレートが遅い）。このエッチングレートの差がつくことによりその形状は断面SEMにより確認できる。

【0007】

次に従来の製造方法を図5(a)～(c)および図6(a), (b)に示す。まず、トランジスタを含む半導体基板の下層絶縁膜101上に、50nm～100nmの膜厚の第1のSiCN膜102がプラズマCVD法により形成した。続いて、MSQ膜113の塗布・焼成を行ない、150nm～350nmの成膜をおこなった。その上に、50nm～200nmのSiO₂膜104の成膜をプラズマCVD法によりおこなった(図5(a))。

【0008】

その構造体上に反射防止膜としてARC膜112を塗布した後に、最小寸法0.14μmレベルのフォトリソグラフィ技術を用いパターンニングされたフォトレジストマスク116を形成した(図5(b))。そのフォトレジストマスク116をマスクにして、ARC112, SiO₂膜104, MSQ膜113をCHF₃ガスを含むガスでドライエッチングし、第1のSiCN膜102上でエッ

チングをストップさせた。その後、酸素プラズマアッシングにより、フォトレジストマスクを剥離後、アミン系の有機剥離液などで残さを完全に完全に除去した。

【0009】

その後、全面エッチバックにて、第1のSiCN膜102を除去した。さらに有機剥離液による洗浄で残さを除去した。この結果、溝パターンを形成した。この時、MSQ膜の加工面にはMSQ変質層115が形成された。このMSQ変質層115は溝の側壁の上部と下部で厚みがほぼ同等であるという特徴がある。この時のMSQ変質層の厚みは上部、下部とも10nm以下であった(図5(C))。

【0010】

次に、スパッタ装置にて、デガス処理、ArイオンによるRFエッチを行なった後に、バリア金属のTa₂N膜106を10nm続いてTa膜107を約20nm形成し、真空を破ることなく、Cuシード膜(図示省略)を約100nm形成した。次にCuめっきにて、Cu膜108を約600nm形成した。その後、縦型炉アニールにて200～400℃で焼成をおこなった(図6(a))。次に金属CMP技術を用い、溝以外の金属を除去し、次に、プラズマCVD装置により、50～100nmの第2のSiCN膜109を形成した(図6(b))。

【0011】

【特許文献1】

特開2002-246383号公報

【0012】

【発明が解決しようとする課題】

第1の課題として機械的強度が弱いことである。MSQの機械的強度はSiO₂より一桁も低下している為、CMPなどの高荷重のかかる工程や組み立て時のボンディング時の高荷重により膜剥がれ不良が発生する。

【0013】

第2の課題として、電界耐圧が低いことである。層間絶縁膜に低誘電率膜を用

いると、特に、配線間でもっとも距離が短くなる配線の上部の耐圧が低下するという問題があった。特に、メタルCMP時にエロージョンなどで低誘電率膜上のハードマスクである SiO_2 膜がなくなってしまう状態では、低誘電率膜の直上部にキャップ膜の SiCN 膜が位置し、低誘電率膜と SiCN 膜の界面の電界集中が顕著になる。このため、特に配線間耐圧の低下が信頼性上問題になってくる。

【0014】

【課題を解決するための手段】

上記の課題を解決するため、本発明の半導体装置は、半導体基板を含んだ下地上に形成された層間絶縁膜の少なくとも一部に水素化ポリシロキサン膜を含み、その加工面の水素化ポリシロキサン変質層の膜厚が加工上層で加工下層よりも相対的に厚くなっていることを特徴とする。

【0015】

本発明の半導体装置の製造方法は、半導体基板上に水素化ポリシロキサン膜を成膜する工程と、前記水素化ポリシロキサン膜をフルオロカーボンガスと酸化系ガスを含むエッチングガスで加工する工程とを有することを特徴とする。

【0016】

本発明では、層間絶縁膜のすくなくとも一部に水素化ポリシロキサン膜を用い、加工部の水素化ポリシロキサンの変質層が上層部が厚く、下層部が薄いという構造を持っており、水素化ポリシロキサンの変質層の機械的強度が水素化ポリシロキサン膜よりも強いため機械的強度が強化される。また、水素化ポリシロキサンの変質層の誘電率が水素化ポリシロキサン膜よりも高いため、電界集中が緩和される。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照しながら説明する。図1は実施の形態の半導体装置における一配線層の構造を示す図である。ここでは低誘電率層間絶縁膜として、水素化ポリシロキサンの1つである梯子型水素化ポリシロキサン（ L-Ox ：ラダーオキサイド、商標名：Ladder-Oxide）を使った例を示した

。トランジスタ等が形成された半導体基板の下層絶縁膜 101 上に第 1 の SiCN 膜 102 が形成されており、その上に梯子型水素化ポリシロキサンである L-Ox 膜 103 が形成されている。その上に SiO₂ 膜 104 が形成されている。

【0018】

水素化ポリシロキサン膜 103 に形成された配線溝の加工面には L-Ox 変質層 105 が形成されている。この変質層 105 は、配線溝側壁の上部で厚みが下部よりも厚くなっているという特徴がある。その側壁の変質層 105 に接してバリアメタルとして Ta 膜 107 / TaN 膜 106 の積層膜（上層が Ta 膜、下層が TaN 膜）が形成されている。その内側に Cu 膜 108 が形成されている。このような配線の上にバリア絶縁膜である第 2 の SiCN 膜 109 が形成されている。ここでは、溝配線の一配線層のみを図示したが、その上にビアさらにその上に次の配線層を同様に形成し、さらにこれを繰り返すことにより多層配線構造が形成される。

【0019】

ここで、配線の形状はメタルの埋設等の観点より形状的に順テーパ状になり、配線の上部で配線間の距離が狭くなっているため電界が集中しやすいようになってしまう。また、L-Ox 変質層 105 の確認方法は断面を割った後、バッファード HF 溶液に数秒のみ曝すことで容易に確認できる。L-Ox の変質層は L-Ox よりも SiO₂ に近い組成となり、バッファード HF 溶液のエッチングレートが遅くなる。このエッチングレートの差がつくことによりその形状は断面 SEM により確認できる。

【0020】

次に、実施の形態の製造方法を図 2 (a) ~ (c) および図 3 (a), (b) に示す。まず、トランジスタを含む半導体基板の下層絶縁膜 101 上に、50 nm ~ 100 nm の膜厚の第 1 の SiCN 膜 102 をプラズマ CVD 法により形成した。続いて、L-Ox 膜 103 の塗布・焼成を行ない、150 nm ~ 350 nm の成膜をおこなった。その上に、厚さ 50 nm ~ 200 nm の SiO₂ 膜 104 をプラズマ CVD 法により成膜した（図 2 (a)）。

【0021】

この構造体上に反射防止膜としてARC膜115を塗布後、 $L/S=0.14/0.14\mu\text{m}$ レベルのフォトリソグラフィ技術を用いパターンニングされたフォトレジストマスク116を形成した(図2(b))。このフォトレジストマスク116をマスクにして、 C_4F_8 ガスと O_2 ガスが含有されたエッチングガスにより、ARC膜112、 SiO_2 膜104、 L-O_x 膜103をドライエッチングし、第1の SiCN 膜102上でストップさせた。その後、酸素プラズマアッシングにより、フォトレジストマスク116を剥離後、弱アルカリのアミン系有機剥離液で残さ等を完全に完全に除去した。その後、全面エッチバックにて、第1の SiCN 膜102を除去した。さらに有機剥離液による洗浄で残さを除去した。

【0022】

この結果、配線溝120が形成された。この時加工プロセスにより、 L-O_x 膜103の配線溝120側壁の加工面には L-O_x 変質層105が形成された。この L-O_x 変質層105は側壁の上部で下部よりも厚く形成されている。この時、変質層105の厚みは最上部で30nm、最下部で10nmを示した。これはエッチング時にも形成されていることから、上部が下部よりも厚いようになると推測される(図2(c))。

【0023】

次に、スパッタ装置にてデガス処理、ArイオンによるRFエッチを行なった後に、バリア金属のTa₂N膜106を約10nm成膜し、続いて、Ta膜107を20nm成膜した。次に、真空を破ることなく、Cuシード膜(図示省略)を約100nm形成した。次にCuめっきにて、Cu膜108を約600nm形成した(図3(A))。

【0024】

その後、縦型炉アニールにて200~400℃で焼成をおこなった。次にメタルCMP技術を用い、溝以外のメタルを除去した。次に、プラズマCVD装置により、50~100nmの第2の SiCN 膜109を形成した(図3(b))。

【0025】

このような L-O_x 変質層105が側壁上部の厚みが厚く、下部が薄い形状は

、エッチングガスにフロロカーボンと酸化系ガスをすくなくとも含むことにより実現できる。酸化ガスが添加されることにより、エッチング中に $L-O_x$ 変質層（酸化層）が形成され、上部が下部と比較し、長い時間酸素に曝されることにより、上部が厚い $L-O_x$ 変質層105が形成できる。ここでは、フルオロカーボンとして C_4F_8 ガスを用いたが CF_4 、 C_4F_8 、 C_5F_8 、 C_2F_6 、 CH_2F_2 、 CHF_3 のうちの少なくとも1つであればよい。また、酸化系ガスとして、 O_2 を用いたが、 O_2 、 CO 、 CO_2 のうちの少なくとも1つであれば同等の結果が得られる。

【0026】

ここで同層配線間の電界耐圧を測定した。ここでは、 $0.14\mu m$ スペースで $125^\circ C$ の $2MV/cm$ で破壊時間を測定した。図4に示すと通りの、層間絶縁膜として、MSQ膜を用いた従来の実施の形態と比較した。電界耐圧時間の比較を図7に示す。従来の耐圧を1にすると、本発明の実施の形態では2.2を示した。この理由は、加工部の側壁層である $L-O_x$ 変質層105の上部の厚みが下部の厚みより厚いことによる。配線の形状は特に上層部が形状的にテーパ状になり、配線間の距離が狭くなっているため電界が集中しやすいが、 $L-O_x$ 変質層は誘電率が $L-O_x$ よりも高く、 SiO_2 に近いので、配線上層部の電界集中が緩和できるという効果があると考えられる。ここでは、 $k=2.9$ の梯子型水素化ポリシロキサンである $L-O_x$ を用いたが、 $k=2.4$ を示すポーラス梯子型水素化ポリシロキサンを用いた場合でも同等の比誘電率のポーラスMSQを用いた場合よりも約1桁の電界耐圧時間の向上が確認できた。

【0027】

また、図8には5層配線を行ったときの組立工程でのボンディング不良率を示した。従来のMSQ構造では2%の不良が発生したが、一方、 $L-O_x$ 構造では不良が発生していない。不良部は配線上部と $SiCN$ 界面で発生しており、機械的な負担が、配線上部に集中することがわかる。機械的特性はMSQと $L-O_x$ はほぼ変わらないことより、その構造での変質層の形状の違いがその差であると考えられる。MSQおよび $L-O_x$ の変質層はMSQまたは $L-O_x$ そのものよりも機械的強度が高いので、特に配線上層部で変質層が厚い本発明の構造はボン

ディング耐性に優れていると考えられる。

【0028】

従来のMSQ膜にエッチングガスとしてフロロカーボン系ガスに酸化系ガスを添加した場合は、配線溝のボーイング形状が顕著になり、好ましくない。これは、MSQ膜中のメチル基の炭素が酸素ガスにより引き抜かれ、急激に膜が収縮するためと考えられる。

【0029】

一方、梯子型水素化ポリシロキサンである $L-O_x$ 膜の場合は、エッチングガスに酸化系ガスを添加したほうが、形状が安定する。酸化系ガスにより、急激に膜が収縮せずに逆に水素が酸化され、 SiO_2 ライクに加工できているからであると考えられる。エッチング後の工程でもこの加工時の SiO_2 が保護膜となり、形状的に安定している。それに対し、酸化系ガスを添加しないエッチングを用いた場合はエッチングが進まない。これは、デポジション膜が堆積するためと考えられる。

【0030】

以上、実施の形態に基づいて説明したが、本発明は上記実施の形態に限定されるものではなく、上記実施の形態の構成から種々の変更を施したものも本発明の範囲に含まれている。

【0031】

【発明の効果】

本発明によれば、CMPなど高荷重がかかる工程での膜剥がれや、チップアセンブリ工程でのボンディング不良の発生を防止することができる。また、配線間耐圧の低下を防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態に係る半導体装置の構造を示す図である。

【図2】

本発明の実施の形態に係る半導体装置の製造工程を示す図である。

【図3】

本発明の実施の形態に係る半導体装置の製造工程を示す図である。

【図 4】

従来の半導体装置の構造を示す図である。

【図 5】

従来の半導体装置の製造工程を示す図である。

【図 6】

従来の半導体装置の製造工程を示す図である。

【図 7】

本発明の実施の形態と従来の半導体装置の同層配線間での電界耐圧を比較した図である。

【図 8】

本発明の実施の形態と従来の半導体装置のボンディング不良率を比較した図である。

【符号の説明】

101 下層絶縁膜

102, 109 SiCN膜

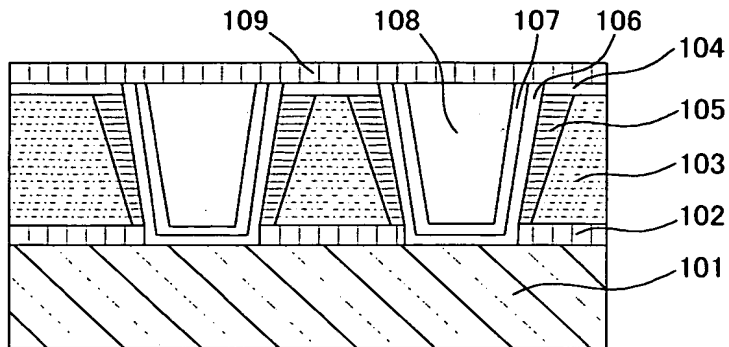
103 L-Ox膜

113 MSQ膜

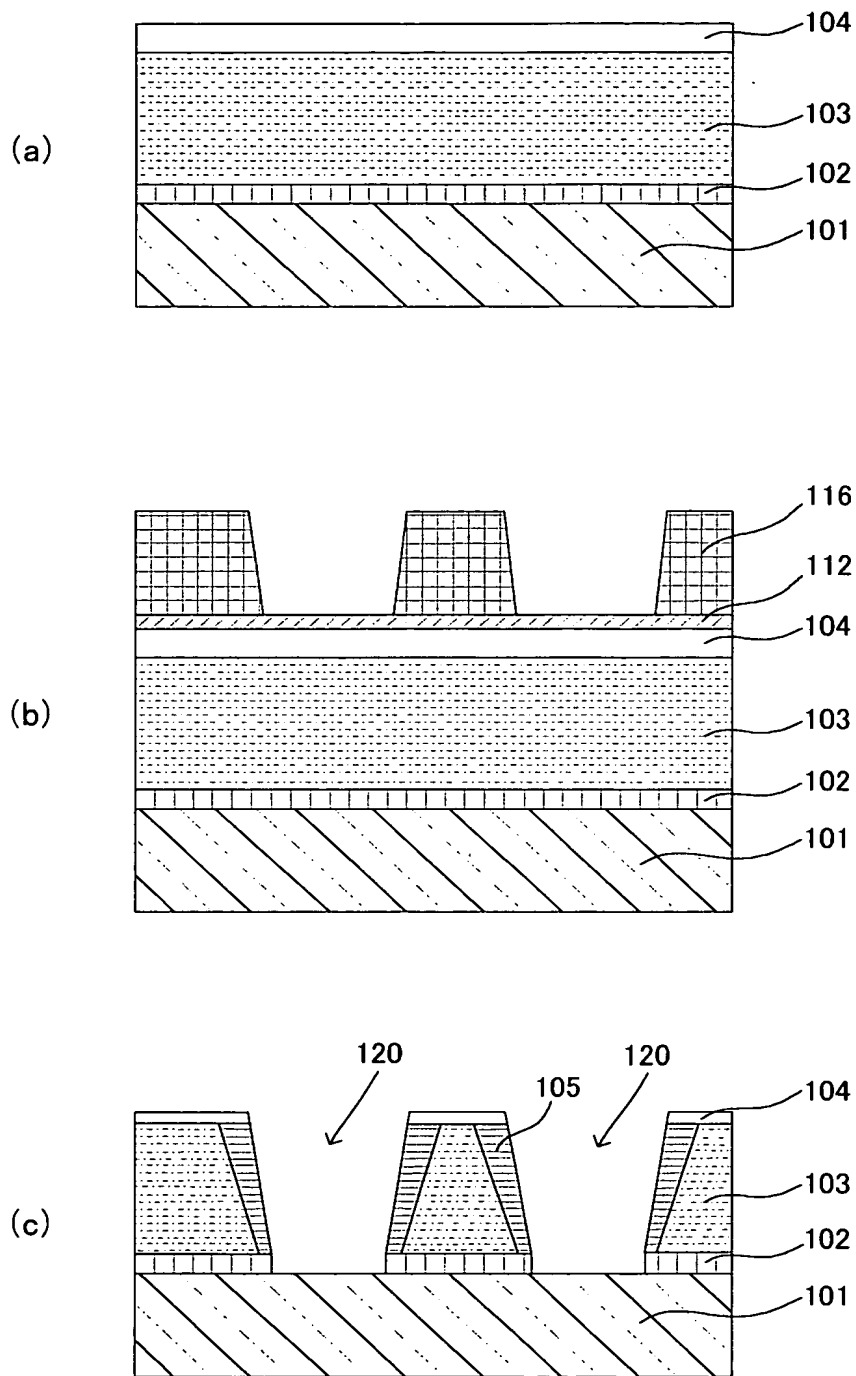
105, 115 変質層

【書類名】 図面

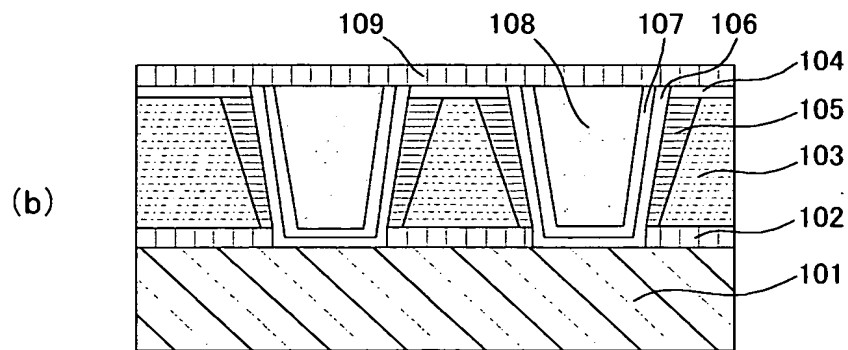
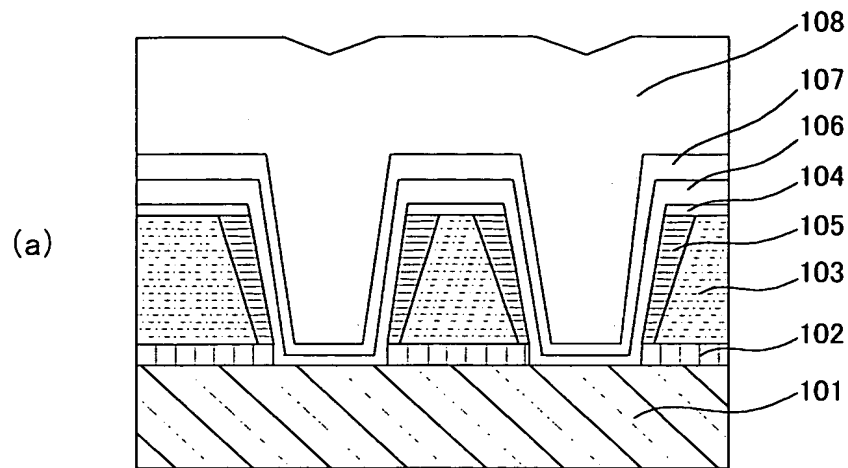
【図 1】



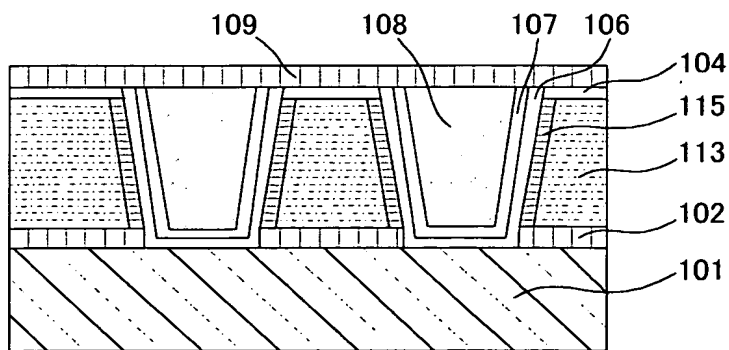
【図 2】



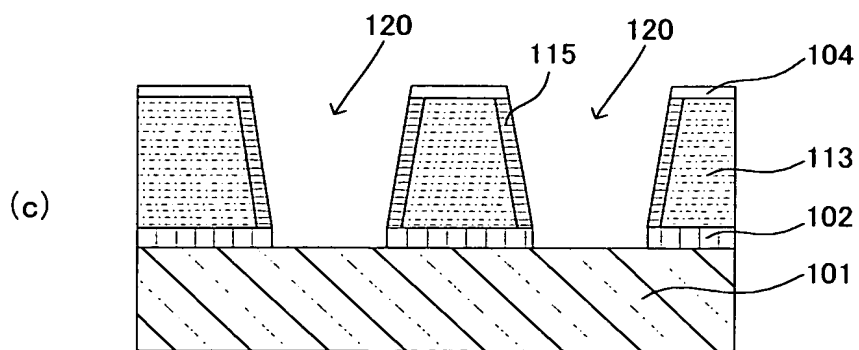
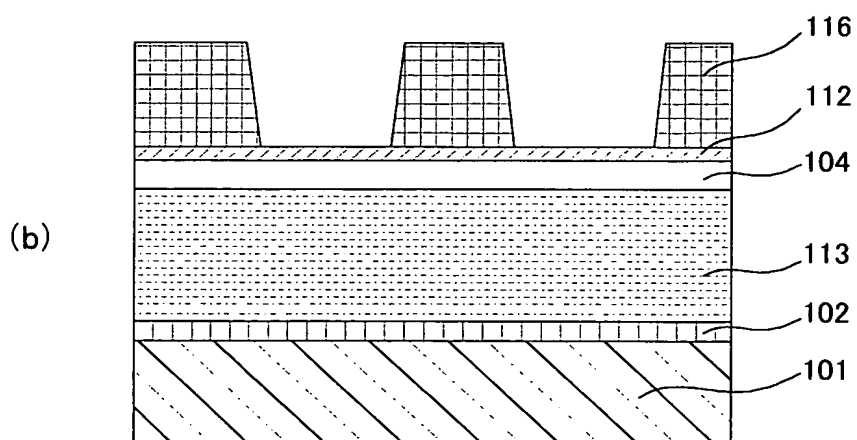
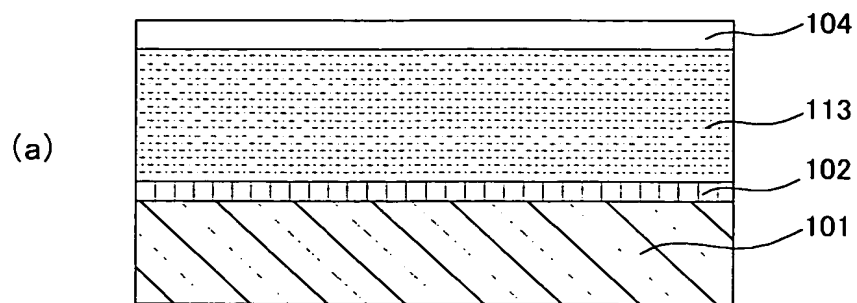
【図 3】



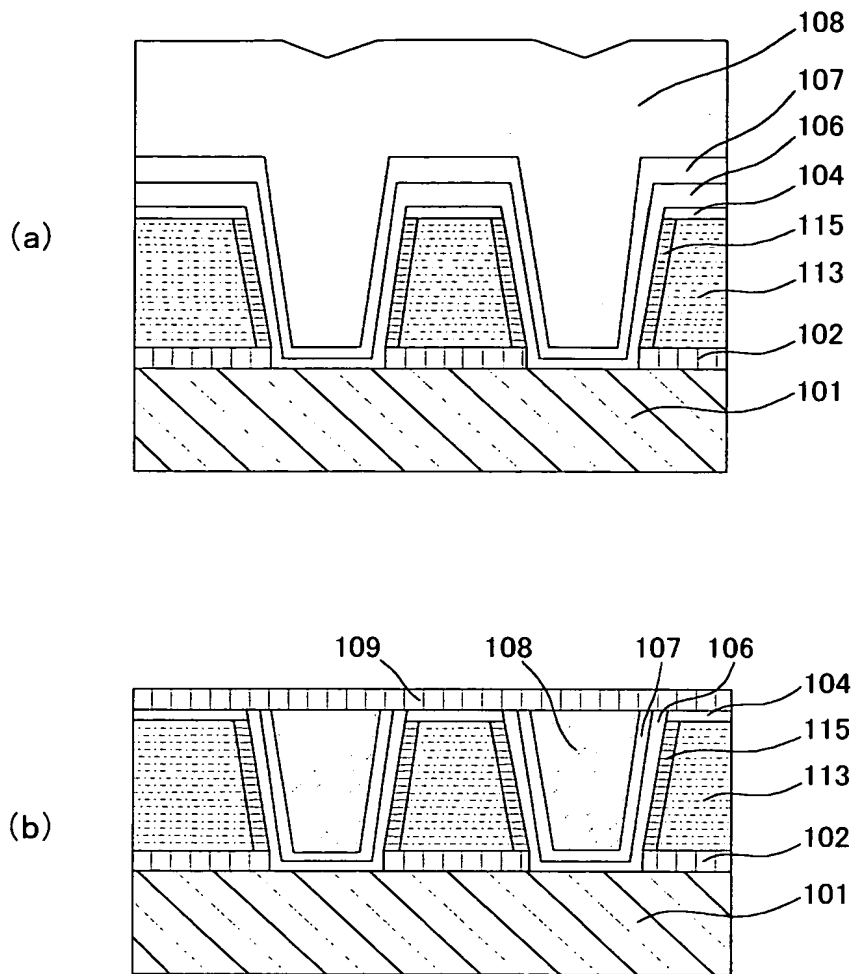
【図 4】



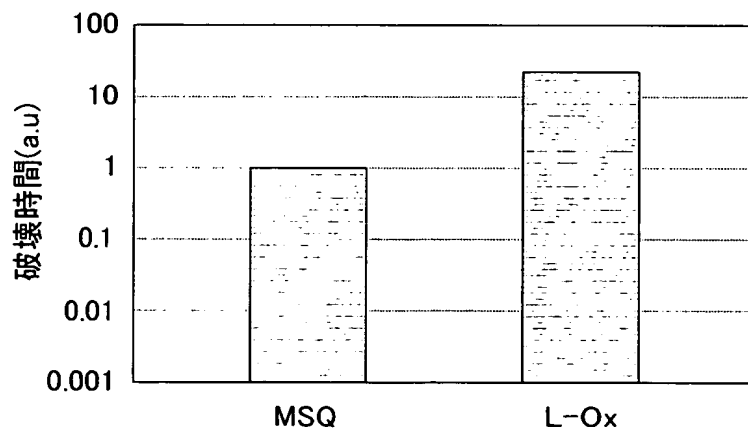
【図 5】



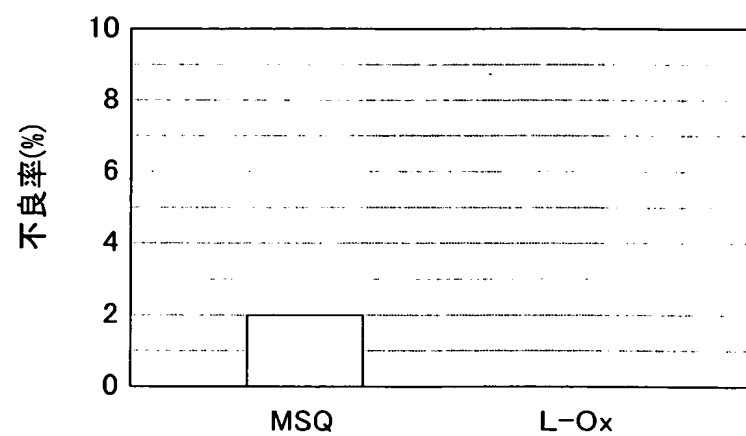
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 組立工程でのボンディング耐性に優れ、また同層配線間耐圧に優れた、低誘電率膜を層間絶縁膜に用いた半導体装置を提供する。

【解決手段】 水素化ポリシロキサンを含む絶縁膜を層間絶縁膜として用い、エッチングガスとしてフロロカーボンガスと酸化系ガスを少なくとも含むエッチングにより加工するため、水素化ポリシロキサンの加工面での変質層が上部で厚く、下部で薄い構造が得られる。これにより、ボンディング耐性に優れ、また同層配線間耐圧に優れた半導体装置が得られる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 9 4 1 1
受付番号	5 0 3 0 0 1 3 5 1 8 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 2 9 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月28日
-------	-------------

次頁無

特願 2003-019411

出 願 人 履 歴 情 報

識別番号

[302062931]

1. 変更年月日

2002年11月 1日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部1753番地

氏 名

NECエレクトロニクス株式会社